

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-307053**  
 (43)Date of publication of application : **02.11.2000**

(51)Int.CI. **H01L 25/04**  
**H01L 25/18**

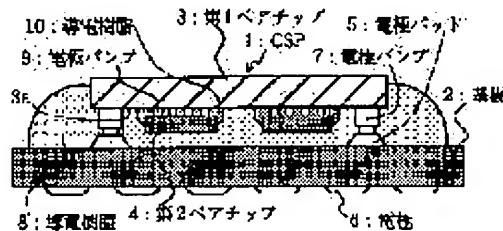
(21)Application number : **11-113189** (71)Applicant : **SONY CORP**  
 (22)Date of filing : **21.04.1999** (72)Inventor : **MATSUNAMI KEISUKE**  
**NAKAMURA YASUHARU**

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device added with a test function, with no increase in device size, for a device which does not cope with such test function as boundary scan test.

**SOLUTION:** A first bare chip 3 where no test circuit is formed is mounted on a substrate 2, and an electrode formation surface 3a of the first bare chip 3 is provided with at least one second bare chip 4 comprising only a test function circuit. Thus, a small semiconductor device with such test function as boundary scan test function is provided with no enlarged chip size.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-307053  
(P2000-307053A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl.  
H 01 L 25/04  
25/18

識別記号

F I  
H 01 L 25/04

マークコード(参考)  
Z

審査請求 未請求 請求項の数4 ○L (全9頁)

(21)出願番号 特願平11-113189  
(22)出願日 平成11年4月21日(1999.4.21)

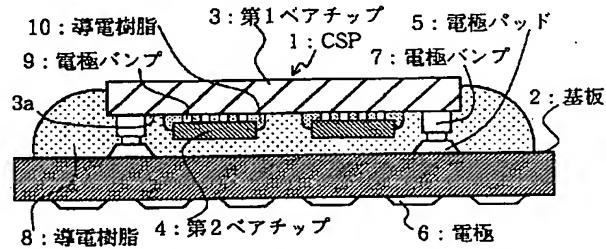
(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72)発明者 松波 敬祐  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(72)発明者 中村 康春  
長野県南安曇郡豊科町大字豊科5432番地  
ソニーデジタルプロダクツ株式会社内

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 バウンダリスキャン試験等のテスト機能に対応していないデバイスに対して、デバイスサイズを大きくすることなく、テスト機能を付加した半導体装置を提供する。

【解決手段】 テスト回路が形成されていない第1ペアチップ3を基板2上に搭載し、この第1ペアチップ3の電極形成面3aに1つ又はそれ以上のテスト機能回路のみからなる第2ペアチップ4を設けた。



## 【特許請求の範囲】

【請求項1】テスト機能回路が形成されていない第1ペアチップを基板上に搭載し、

この第1ペアチップの電極形成面に1つ又はそれ以上のテスト機能回路のみからなる第2ペアチップを設けたことを特徴とする半導体装置。

【請求項2】前記第1ペアチップを前記基板に対しフェースダウン式に接合し、

この第1ペアチップに対し前記第2ペアチップをフェースダウン式に接合して前記基板とともにパッケージ化したことを特徴とする請求項1に記載の半導体装置。

【請求項3】前記第1ペアチップを前記基板に対しフェースアップ式に接合し、

この第1ペアチップに対し前記第2ペアチップをフェースアップ式に接合して前記基板とともにパッケージ化したことを特徴とする請求項1に記載の半導体装置。

【請求項4】前記第1ペアチップを前記基板に対しフェースアップ式に接合し、

この第1ペアチップに対し前記第2ペアチップをフェースダウン式に接合して前記基板とともにパッケージ化したことを特徴とする請求項1に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置に関する。より詳しくは、LSI等の集積回路チップをパッケージングした集積回路パッケージやペアチップ等のパッケージングを施していない集積回路チップ等（以下、これらを総称して半導体ユニットという）を形成し、複数の上記半導体ユニットを同一の基板に搭載してマルチチップモジュール（MCM）化を図った半導体装置に関するものである。

## 【0002】

【従来の技術】電子機器のデジタル化及び信号の高速化といったシステムの変化に伴い、近年ではノイズの減少や機器の小型化の要請により、半導体ユニットも小型化が進み、CSP（Chip Size Package）と呼ばれるペアチップと同等サイズの小型パッケージが開発されている。このCSPは基板にペアチップを搭載し、これを樹脂封止してパッケージ化するものである。CSPの型式として、ペアチップの電極面を基板に対向させるフェースダウン式の構造と、ペアチップの電極面と反対側の面を基板に対向させるフェースアップ式の構造がある。

【0003】図11は、従来のフェースダウン式のCSPの断面図であり、図12および図13は、その製造手順を順番に示す断面図である。このCSPは、対向する電極同士を熱圧接させて接合するフリップチップ方式のCSPである。

【0004】このCSP100は、基板101の上面に電極パッド102が形成され、各電極パッド102に対応して、裏面側に電極103が形成される。基板101

上にLSI等からなるペアチップ104がその電極面を基板側に対向させて搭載される。ペアチップ104の電極面には金（Au）からなる電極バンプ105が形成され、各電極バンプ105は対応する基板の電極パッド102に圧接される。ペアチップ104と基板101間は、バインダー樹脂106および導電粒子107からなる導電樹脂108（異方性導電膜（ACF））により封止される。電極バンプ105と電極パッド102間は、導電粒子107を介して電気的に接続される。

【0005】このフリップチップ方式のCSP100を製造する場合、まず図12（A）のペアチップ104に対し、同図（B）に示すように電極形成面にAuボール等からなる電極バンプ105を形成する。

【0006】一方、図13（A）に示すように、基板101に電極パッド102および電極103を形成し、これに同図（B）に示すように、導電樹脂108とセパレータ109からなる導電フィルム（ACF）110を貼り付ける。この導電フィルム110のセパレータ109を剥離し（同図（C））、前述の図12のペアチップ104をフェースダウンで搭載する（同図（D））。これを加熱圧着することにより、電極バンプ105と電極パッド102が接合されるとともに、ペアチップ104と基板101間が導電樹脂108で封止され、同図（E）に示すように、フリップチップ式のCSP100が形成される。

【0007】図14は、フェースアップ式のCSPの断面図であり、図15はその製造手順を順番に示す断面図である。このCSP111は、ワイヤボンディング方式によるフェースアップ式のCSPである。

【0008】基板101上に接着剤112を介してペアチップ104が電極面を上にしたフェースアップの状態で接合される。ペアチップ104の電極はAu等のボンディングワイヤ113を介して基板の電極パッド102と接続される。ペアチップ104およびボンディングワイヤ113は樹脂114により封止されパッケージ化されて、ワイヤボンディング式のCSP111が形成される。

【0009】このCSP111を製造する場合、電極パッド102および電極103が形成された基板101（図15（A））の上面に接着剤112を塗布する（同図（B））。この接着剤112によりペアチップ104を基板101上に接合する（同図（C））。次に、同図（D）に示すように、ボンディングワイヤ113により、ペアチップ104と基板101の電極パッド102を接続する。その後、ペアチップ104とボンディングワイヤ113を樹脂114でパッケージングしてワイヤボンディング式のCSP111を形成する。

【0010】上記構成のCSPやその他LSI等からなる半導体ユニットの電気的特性や動作特性等の回路試験およびこれらの半導体ユニットを搭載した基板（マザー

ボード) の回路試験は、実装された状態で行う必要がある。

【0011】一方、近年における基板の高密度化および高密度実装化等により、従来のインサーキット試験による基板等の評価が物理的に困難になってきたため、基板上で回路試験を行うための方法として、IEEE1149.1の標準規定において、バウンダリスキャン方式に基づくバウンダリスキャン試験が示されている。

【0012】このバウンダリスキャン試験を行う回路、すなわちバウンダリスキャン試験回路を、各々の半導体ユニットに予め組込んでおくことにより、半導体ユニットを基板上に実装した後であっても、これらの回路試験を行うことができる。

【0013】このバウンダリスキャンによる検査方法について以下に説明する。JTAGはボードレベルでのテスト容易化設計手法を標準化し、半導体メーカー各社が共通仕様のテスト容易化回路を採用できる規格を提供することを目的として設立された組織である。このJTAGの標準は、スキャン設計をチップレベルからボードレベルに拡張したものといえる。これは、表面実装部品の採用や基板の多層化により難しくなったボードテスト(インサーキットテスト)の問題の解決を目指している。

【0014】このJTAGでは、標準テストアーキテクチャとして、バウンダリスキャンアーキテクチャを定め、また標準テストインターフェイスとして、4ワイヤシリアルテストバスを定めている。そして、これらを基本として体系化した仕様が規定されている。これにより、ICのI/Oピンにボードのエッジコネクタから直接アクセスすることができ、表面実装基板でも高価なボードテスト用いないでインサーキットテストが可能になる。

【0015】IEEE1149.1の標準では、チップに組込まれたテスト専用回路にアクセスするためにテストインターフェイスとして、4本の専用信号を定めている。これが、4ワイヤシリアルテストバスとして知られている標準テストインターフェイスである。この他にTRST(Test Reset Input)入力をオプショナルに追加することができる。

【0016】図16は、このIEEE1149.1の標準テストロジックアーキテクチャの回路図である。アーキテクチャは、インストラクションレジスタ115と、テストデータレジスタ116と、TAP(Test Access Port)117の大きく3つで構成される。また、マルチブレクサがデータの流れをセレクトするためいくつか含まれている。このバウンダリスキャンレジスタはテストデータレジスタに属する。

【0017】

【発明が解決しようとする課題】しかしながら、前述のバウンダリスキャン試験回路を、各々の半導体ユニット

に組込んだ場合、半導体ユニット内に設けられる試験用の領域の割合が、機能上本来要求される領域に比べて比較的大きくなり、半導体ユニットの大型化を招来し、また、上記試験回路を組込んだ半導体ユニットに対応させて実装基板も新たに設計しなければならない。

【0018】さらに、上記試験回路が組込まれていない半導体ユニットが高密度実装された場合には、実装状態で回路試験をすることができない。すなわち、バウンダリスキャン機能等のテスト機能は、デバイスに組込まれる機能回路であるため、通常ウェーハ製造工程で付加されている。しかしながら、現状では一部のデバイスにしか対応されていない場合が多く、他のデバイスについてはバウンダリスキャン等のテストをすることができない。

【0019】一方、バウンダリスキャン用テスト回路を内蔵しないLSIに対し、プリント基板とLSIの接続試験や論理試験を可能とするプリント基板のテスト方法が特開平9-152468号公報に開示されている。

【0020】この公報記載のテスト方法は、バウンダリスキャン用テスト回路を内蔵しないLSIをプリント板に搭載し、このプリント板に各種テスト機能回路を形成してこのテスト機能回路によりLSIの機能テストを行うものである。

【0021】しかしながら、この公報記載のLSIを搭載したプリント板構造では、LSI実装領域に隣接した別の領域にテスト機能回路を形成しているため、プリント板の形状が大型化する。また、個々のLSI自体を分離してテストすることはできない。

【0022】本発明は上記従来技術を考慮したものであって、バウンダリスキャン試験等のテスト機能に対応していないデバイスに対して、デバイスサイズを大きくすることなく、テスト機能を付加した半導体装置の提供を目的とする。

【0023】

【課題を解決するための手段】前記目的を達成するため、本発明では、テスト回路が形成されていない第1ペアチップを基板上に搭載し、この第1ペアチップの電極形成面に1つ又はそれ以上のテスト機能回路のみからなる第2ペアチップを設けたことを特徴とする半導体装置を提供する。

【0024】この構成によれば、バウンダリスキャン試験機能等のテスト機能をもたない第1ペアチップに対し、その電極形成面に重ねて3次元実装でのMCM(Multi-Chip Module)化によりバウンダリスキャン試験機能等のテスト回路のみからなる第2ペアチップを搭載することにより、チップサイズを広げることなくバウンダリスキャン試験機能等のテスト機能を備えた半導体装置が得られる。

【0025】好ましい構成例では、前記第1ペアチップを前記基板に対しフェースダウン式に接合し、この第1

ペアチップに対し前記第2ペアチップをフェースダウン式に接合して前記基板とともにパッケージ化したことを特徴としている。

【0026】この構成によれば、例えばフリップチップ式の第1ペアチップと同じくフリップチップ式の第2ペアチップを接合してテスト機能付きCSP等の半導体パッケージを形成することができる。

【0027】別の好ましい構成例では、前記第1ペアチップを前記基板に対しフェースアップ式に接合し、この第1ペアチップに対し前記第2ペアチップをフェースアップ式に接合して前記基板とともにパッケージ化したことを特徴としている。

【0028】この構成によれば、例えばワイヤボンディング式の第1ペアチップと同じくワイヤボンディング式のペアチップを接合してテスト機能付きCSP等の半導体パッケージを形成することができる。

【0029】さらに別の好ましい構成例では、前記第1ペアチップを前記基板に対してフェースアップ式に接合し、この第1ペアチップに対し前記第2ペアチップをフェースダウン式に接合して前記基板とともにパッケージ化したことを特徴としている。

【0030】この構成によれば、例えばワイヤボンディング式の第1ペアチップに、フリップチップ式の第2ペアチップを接合してテスト機能付きCSP等の半導体パッケージを形成することができる。

### 【0031】

【発明の実施の形態】以下図面を参照して本発明の実施の形態について説明する。図1は、本発明の第1の実施の形態の断面図であり、図2、図3および図4はその製造手順を順番に示す断面図である。

【0032】この第1実施形態は、フェースダウン式のフリップチップ方式のCSPをMCM化したものである。このCSP1は、基板2上に、テスト機能をもたない第1ペアチップ3がフリップチップ方式で搭載され、この第1ペアチップ3に、テスト機能回路のみからなる第2ペアチップ4をフリップチップ方式で接合したものである。第2ペアチップ4には、半田等によるIC回路の接続や内部回路の短絡テストその他バウンダリスキャン試験等を行うための回路のみが形成されている。このような第2ペアチップ4は、テスト内容や第1ペアチップ3の回路や電極数等に応じて、その大きさや電極数および配置する個数や位置等が定められる。この例では、2個のバウンダリスキャン対応LSIからなる第2ペアチップ4が、バウンダリスキャン非対応LSIからなる第1ペアチップ3に接合されている。この場合、第1ペアチップ3は、回路面に電極(図示しない)が再配線され、その再配線電極の各電極に対し第2ペアチップ4の電極がフリップチップ方式で接合される。

【0033】基板2は上面に複数の電極パッド5を有し、各電極パッド5に対応して下面に電極6を有する。

第1ペアチップ3は基板2の電極パッド5に電極バンプ7を介して接合される。第2ペアチップ4は電極バンプ9を介して第1ペアチップ3の電極形成面(図では下面)に接合される。第1ペアチップ3は導電樹脂(異方性導電膜)8により基板2上に封止されパッケージ化される。第2ペアチップ4は導電樹脂(異方性導電膜)10により第1ペアチップ3に封止される。

【0034】このようなCSP1を製造する場合、まず、図2(a)に示す第1ペアチップ3の電極形成面3aに異方性導電膜(ACF)からなる導電樹脂10を貼り付ける(同図(b))。一方、同図(c)に示す第2ペアチップ4の電極形成面4aに、Auからなる電極バンプ9を形成する(同図(d))。この第2ペアチップ4を同図(e)に示すように、第1ペアチップ3上に加熱圧着してフリップチップ方式で接合する。

【0035】次に図3に示すように、第2ペアチップ4が接合された第1ペアチップ3にAuからなる電極バンプ7を形成する。一方、CSPを構成する基板2の上面に電極パッド5およびこれに対応した電極6を設け(図4(A))、この上面の電極パッド5上にACFからなる導電樹脂8を貼り付ける(同図(B))。この基板2上に前記図3の第2ペアチップ4が接合された第1ペアチップ3を加熱圧着して接合し、MCM化した3次元実装のCSP1を形成する。

【0036】図5は、本発明の第2の実施の形態の断面図であり、図6および図7は、その製造手順を順番に示す断面図である。この第2実施形態は、ワイヤボンディング方式のCSPをMCM化したものである。このCSP16は、基板2上に接着剤11により第1ペアチップ3を接合し、この第1ペアチップ3上に接着剤12により第2ペアチップ4を接合したものである。第1ペアチップ3と第2ペアチップ4はAuワイヤ13により接続され、第2ペアチップ4と基板2の電極パッド5がAuワイヤ14で接続される。これらの第1、第2ペアチップ3、4およびAuワイヤ13、14は樹脂15で封止されパッケージ化されてCSP16を形成する。基板2および第1、第2ペアチップ3、4自体の構成は前述の第1実施形態と同様である。

【0037】このCSP16を製造する場合、図6(A)に示すように、まず基板2を形成し、接着剤11を塗布し(同図(B))、ダイボンディングにより第1ペアチップ3を接合し(同図(C))、さらにその上に接着剤12を塗布し(同図(D))、ダイボンディングにより第2ペアチップ4を接合する(同図(E))。

【0038】続いて、図7(A)に示すように、ワイヤボンディング法により第1ペアチップ3と第2ペアチップ4をAuワイヤ13で接続し、さらに第2ペアチップ4と基板2の電極パッド5をワイヤボンディング法によりAuワイヤ14で接続し、全体を樹脂15で封止することにより、3次元実装でMCM化したCSP16を形

40 40

50

成する。

【0039】図8は、本発明の第3の実施の形態の断面図であり、図9および図10は、その製造手順を順番に示す断面図である。この第3実施形態は、ワイヤボンディング方式とフリップチップ方式を組合せてMCM化したCSPを形成したものである。

【0040】CSP18を構成する基板2上に接着剤11を介して第1ペアチップ3が接合され、その上面に第2ペアチップ4が導電樹脂10を介してフリップチップ方式で接合される。第1ペアチップ3と基板2はAuワイヤ17により接続され、全体が樹脂15で封止されたCSP18が形成される。

【0041】このCSP18を製造する場合、図9(A)に示すように、まず基板2を形成し、接着剤11を塗布し(同図(B))、ダイボンディングにより第1ペアチップ3を接合し(同図(C))、その上にACFからなる導電樹脂10を貼り付ける(同図(D))。

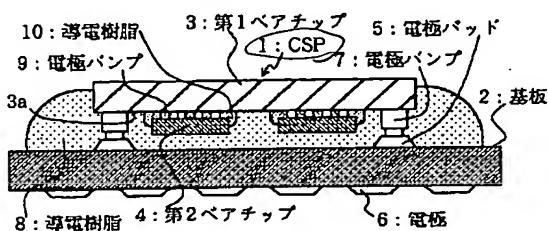
【0042】次に図10(A)に示すように、第2ペアチップ4をフリップチップ方式で第1ペアチップ3の電極形成面3a上に接合する。次に、同図(B)に示すように、ワイヤボンディング法によりAuワイヤ17を介して、第1ペアチップ3と基板2を接続する。その後、全体を樹脂15で封止してパッケージ化しMCM構造のCSP18を形成する(同図(C))。

【0043】

【発明の効果】以上説明したように、本発明では、バウンダリスキャン試験機能等のテスト機能をもたない第1ペアチップに対し、その電極形成面に重ねて3次元実装でのMCM(Multi-Chip Module)化によりバウンダリスキャン試験機能等のテスト回路のみからなる第2ペアチップを搭載することにより、チップサイズを広げることなくバウンダリスキャン試験機能等のテスト機能を備えた小型の半導体装置が得られる。

【0044】この新たに搭載されたバウンダリスキャン等のテスト機能により、デバイス実装工程における半田付け不良等の接続検査を容易に行うことができる。

【図1】 第1の実施例



【0045】この3次元実装は、新たな製造プロセスを用いることなく、従来のペアチップ実装プロセスにしたがって既存の設備等を利用して実施することができ、開発時間やコストを増加させることなくテスト機能を備えたMCM構造の小型半導体装置が得られる。

【0046】また、製造プロセスにおいて、テスト機能を必要としない場合には、製造ライン上で、第2ペアチップを搭載することなく第1ペアチップのみで半導体パッケージを形成する製造プロセスに容易に変更することができ、設計の自由度が高まり、設計変更への対処や製造ラインの管理が容易にできる。

#### 【図面の簡単な説明】

【図1】 本発明の第1実施形態の断面図。

【図2】 図1の実施形態の製造手順の説明図。

【図3】 図2の後の製造手順途中の断面図。

【図4】 図3の後の製造手順の説明図。

【図5】 本発明の第2実施形態の断面図。

【図6】 図5の実施形態の製造手順の説明図。

【図7】 図6の製造手順に続く手順の説明図。

【図8】 本発明の第3実施形態の断面図。

【図9】 図8の実施形態の製造手順の説明図。

【図10】 図9に続く製造手順の説明図。

【図11】 従来のフリップチップ方式のCSPの断面図。

【図12】 図11のCSPの製造手順の説明図。

【図13】 図12に続く製造手順の説明図。

【図14】 従来のワイヤボンディング方式のCSPの断面図。

【図15】 図14のCSPの製造手順の説明図。

【図16】 バウンダリスキャン試験の回路図。

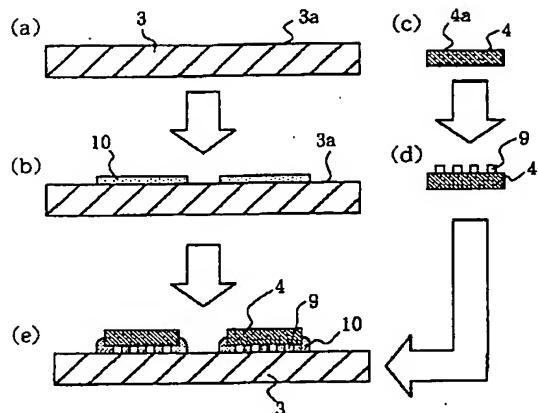
#### 【符号の説明】

1:CSP、2:基板、3:第1ペアチップ、4:第2ペアチップ、5:電極バッド、6:電極、7:電極バンプ、8:導電樹脂、9:電極バンプ、10:導電樹脂、11, 12:接着剤、13, 14, 17: Auワイヤ、15:樹脂、16, 18: CSP。

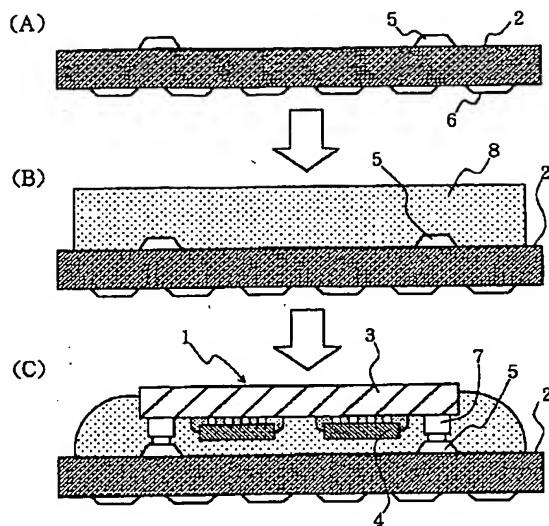
【図3】



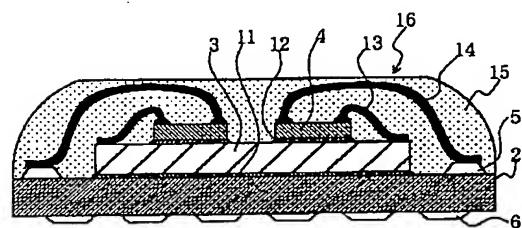
【図2】



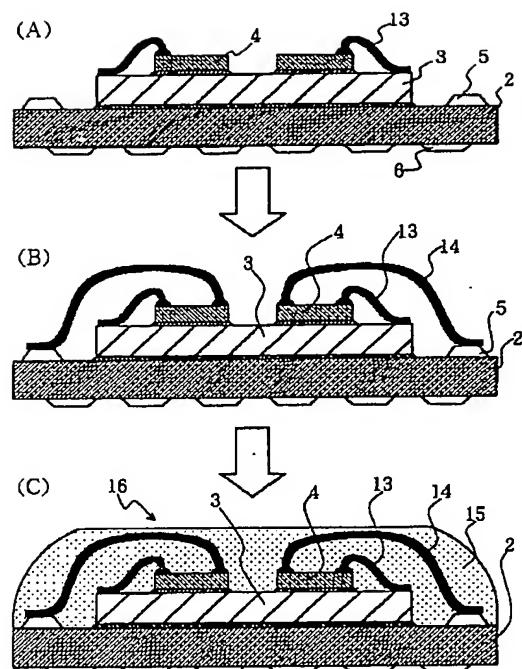
【図4】



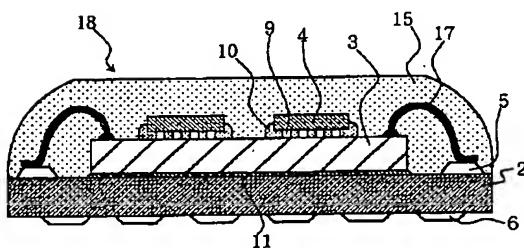
【図5】



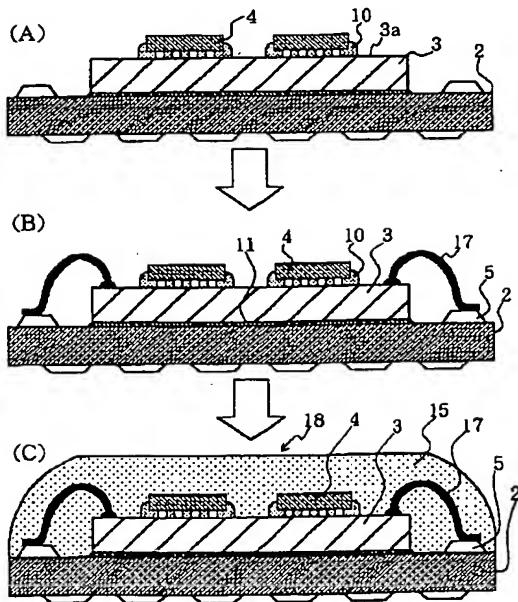
【図7】



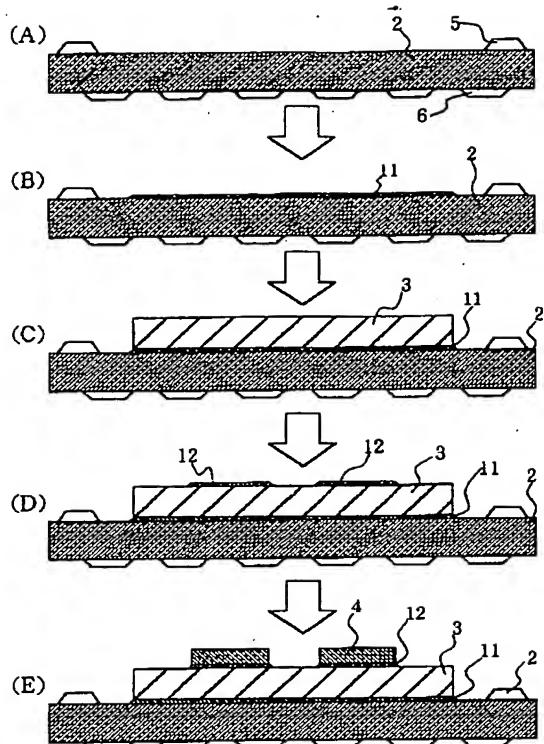
【図8】



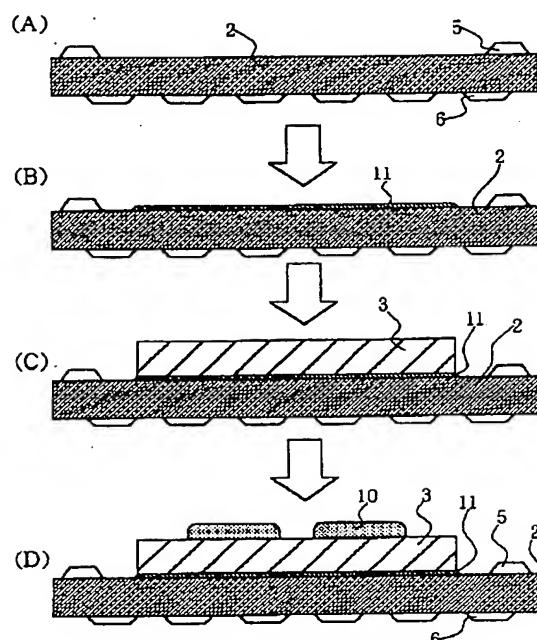
【図10】



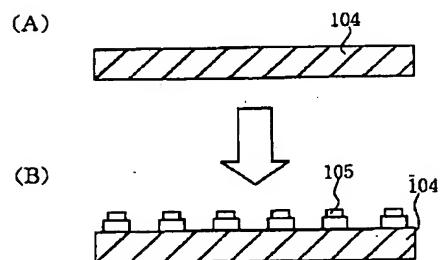
【図6】



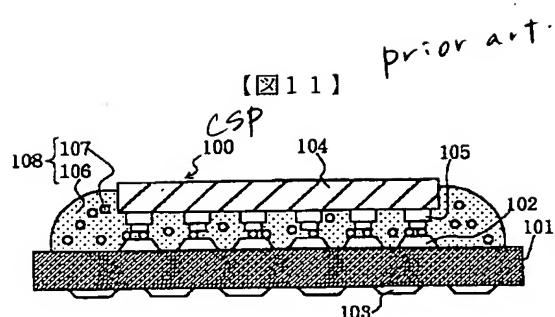
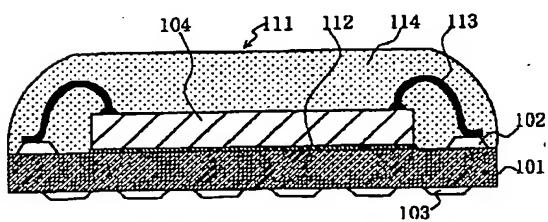
【図9】



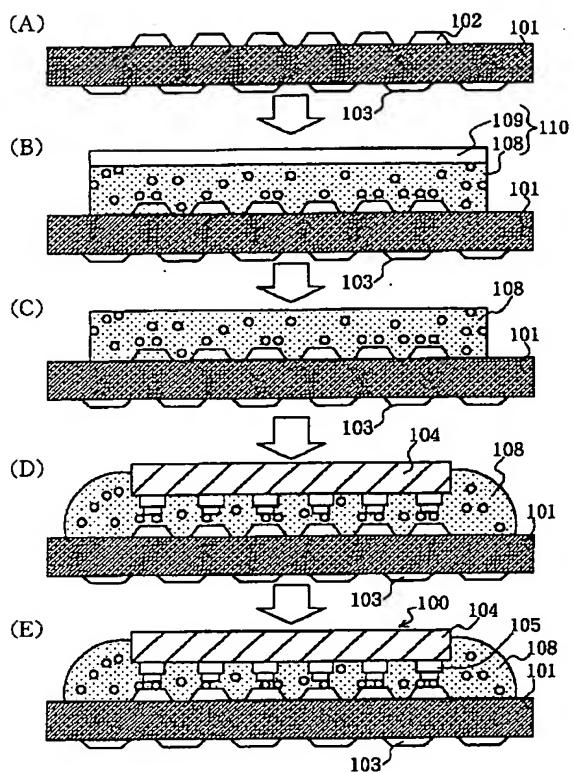
【図12】



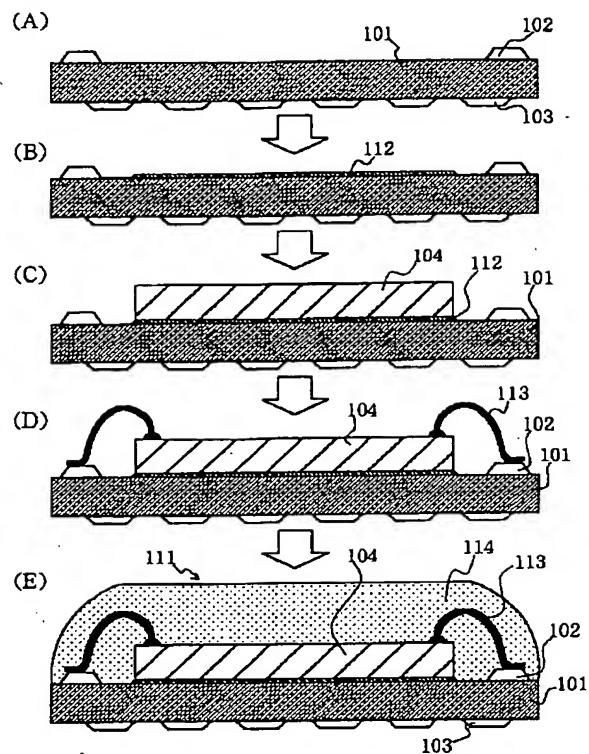
【図14】



【図13】



【図15】



(9) 000-307053 (P2000-307053A)

【図16】

